

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-176757

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.<sup>6</sup>

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 29/786

21/205

21/268

Z

21/324

9056-4M

H 01 L 29/78

311 H

審査請求 有 請求項の数3 FD (全5頁)

(21)出願番号

特願平5-344959

(22)出願日

平成5年(1993)12月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 児玉 紀行

東京都港区芝五丁目7番1号 日本電気株

式会社内

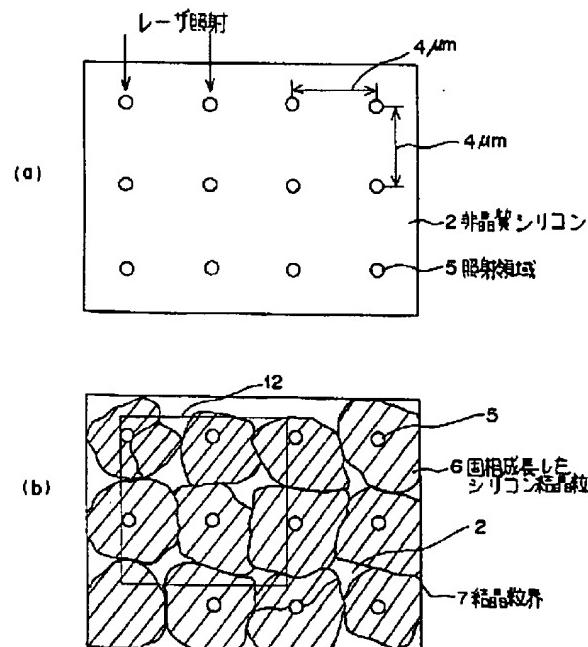
(74)代理人 弁理士 館野 千恵子

(54)【発明の名称】薄膜トランジスタの製造方法

(57)【要約】

【目的】選択核形成法による核形成、固相成長による多結晶シリコンの大粒径化を、リソグラフィー法を用いずに、簡易に行う。

【構成】基板上の非晶質シリコン2に回折格子を用いてXeClエキシマレーザを格子点状に照射する(照射領域5)。その後、窒素雰囲気中、600度の熱処理をし、固相成長を行うことにより微結晶5を核として結晶粒が成長する。選択核形成法を用いない場合は、結晶粒径1~2μm程度であるが、本発明では結晶粒径は最大4μm程度が得られ、これをチャンネル領域とする薄膜トランジスタの移動度を80cm<sup>2</sup>/Vsから150cm<sup>2</sup>/Vsに向上できた。



Best Available Copy

## 【特許請求の範囲】

【請求項1】 非晶質半導体膜上に、特定の周期でドット状あるいはストライプ状に局所的に熱処理を施して結晶核を形成させた後、膜全体に熱処理を施して固相成長させて得られた多結晶半導体膜をチャンネル形成領域とすることを特徴とする薄膜トランジスタの製造方法。

【請求項2】 ドット状あるいはストライプ状の局所的な熱処理は、エネルギー光線を格子点状に加工して非晶質半導体膜に照射することにより行う請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 ドット状あるいはストライプ状の局所的な熱処理は、エネルギー光線を集束させて非晶質半導体膜の周期的位置に照射することにより行う請求項1記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 薄膜トランジスタは、石英ガラス等の絶縁基板上にシリコン等の半導体薄膜を形成し、チャンネルが形成されるチャンネル形成領域、ソース、ドレイン領域を形成し、MOS型のトランジスタを構成する半導体装置である。多結晶半導体膜をチャンネル形成領域とする薄膜トランジスタは絶縁基板上に容易に形成できることから、SRAMの負荷素子として、あるいは液晶表示装置のスイッチングトランジスタ、駆動回路等として幅広く応用されている。しかし、チャンネル形成領域の結晶粒界がトランジスタ特性を大きく低下させているので、結晶粒の大粒径化、あるいは結晶粒径、結晶粒の位置を制御する手法が広く検討されている。

【0003】 結晶粒の位置を制御する1つの方法として、特開昭60-37721号公報に開示されているような量子アニール法と呼ばれる方法がある。この方法は、レーザ光などのエネルギー光線を微細な图形に加工した光線を非晶質半導体層に照射することにより、非晶質半導体膜あるいは多結晶半導体膜を結晶化し、結晶粒の位置を制御する試みである。

【0004】 また、結晶粒径を制御する試みとして、図6に示すような選択核形成法がある。以降、図6を参照しながら選択核形成法について説明する。石英基板等の絶縁基板1上にジシランガスを用い、475°C程度で減圧化学成長法により非晶質シリコン2を形成する。その後、保護酸化膜3を50nm堆積し、次いでレーザの遮光膜としてシリコン膜4を200nmスパッタ後、スパッタシリコン膜の特定部分に1μm以下の窓を開口する(図6(a))。この後、XeClエキシマレーザを照射する。このレーザ光では、シリコン膜での吸収係数が非常に高いので、開口部の非晶質シリコン表面部分のみがアニールされて、この領域に、微結晶シリコン核5が

数個形成される。次に、スパッタシリコン膜4、保護酸化膜3を除去した後、600°Cの窒素中で熱処理すると、シードとなる微結晶5の周囲に結晶化した領域6が広がる(図6(b))。シード領域の結晶粒の中で、成長速度の速いものが選択的に非晶質領域に広がるので、基本的には、单一あるいは2個程度の結晶粒がシード領域から発生・成長してゆくと考えて良い。このようにして膜全体の結晶化を完了させる。以上の工程は選択核形成法と呼ばれている。この方法により、結晶粒の位置を

任意の場所に設定できる。また、結晶粒径はシード部分

以外の核発生により制限されるが、諸条件を最適化する

ことにより結晶粒径は4~5μmとなり、従来の固相成長法で形成した多結晶シリコンの結晶粒径である1~2μmに比べてはるかに大きくなる。

【0005】 その後、単結晶領域に薄膜トランジスタを以降の工程により形成する。まず、チャンネル形成領域12を基本的には単一の結晶粒となる位置にバーチャルニングして形成後、ゲート酸化膜8及び多結晶シリコンを堆積した後に、リン拡散法により低抵抗化し、バーチャルニングしてゲート電極9を形成する。イオン注入により、ソース領域10、ドレイン領域11を形成する。層間膜13を堆積した後に、900°C程度の熱処理を施し、層間膜のリフロー、ソース、ドレイン領域の不純物の活性化を行う(図6(c))。その後、コンタクトホールを開口し、アルミをスパッタリングした後にバーチャルニングして配線を形成し、水素雰囲気中、400°C程度で水素アロイを行い、薄膜トランジスタを完成する。作製した薄膜トランジスタは、サイズを結晶粒径以下にすることにより、基本的には、チャンネル領域に結晶粒界を含まないようにできるので、非常に高い移動度が得られる。例えば、n-chで、通常のシードを用いない方法では60cm²/Vsであったものが、この選択核成長法を用いると、150cm²/Vs以上と高移動度が得られる。

## 【0006】

【発明が解決しようとする課題】 トランジスタサイズが結晶粒径と同程度以上の場合、1つのトランジスタのチャンネル形成領域に、数個の結晶粒が存在することは不可避である。この場合、必ずしも核形成の位置自体を制御する必要はなく、結晶粒の大粒径化、チャンネル領域内の結晶粒界の密度低減が肝要である。大粒径化の方法として、量子アニール法を用いる場合は、リソグラフィー工程を用いないので、工程は簡易ではあるが、再結晶化後、シリコン膜表面にうねり、凹凸が生じ、TFT特性の低下をもたらす。これを避けるために、非晶質シリコン上に酸化膜を堆積した後にアニールする方法が検討されているが、この方法では、酸化膜から酸素が多結晶シリコン中に拡散して、移動度を大きく低下させるという問題がある。チャンネル形成領域の単結晶化を目的とした前記のレーザ光を用いた局所アニールによる選択核

形成法では、核形成後、炉内でアニールして結晶化するために、量子アニール法で問題となるような表面荒れは起こらない。しかし、特定部分に遮光膜を設けてパターンニングするために、リソグラフィー、エッチング工程が必要であり、工程が複雑になるという問題点がある。

【0007】本発明の目的は、このような従来の問題点を解決して、非晶質シリコンの結晶化時の結晶粒径分布および結晶粒界の位置の制御をリソグラフィー法を用いることなく簡易に行い、かくしてTFT特性の向上とばらつきの低減を図ることにある。

【0008】

【課題を解決するための手段】本発明は、非晶質半導体膜上に、特定の周期でドット状あるいはストライプ状に局所的に熱処理を施して結晶核を形成させた後、膜全体に熱処理を施して固相成長させて得られた多結晶半導体膜をチャンネル形成領域とすることを特徴とする薄膜トランジスタの製造方法である。ここで、ドット状あるいはストライプ状の局所的な熱処理は、エネルギー光線を格子点状に加工して非晶質半導体膜に照射することにより行うか、あるいはエネルギー光線を集束させて非晶質半導体膜の周期的な位置に照射することにより行うことが好ましい。

【0009】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。図1は本発明の一実施例を工程順に説明するための平面図、図2は本実施例により得られる薄膜トランジスタの断面図であり、同図に従って、本実施例を説明する。石英基板1上に減圧化学成長法により、ジシランを用いて、非晶質シリコン2を80nm堆積する。この後、図1(a)のように、回折格子を用いて、XeClエキシマレーザを格子状にホログラフィー加工して照射した。格子点間隔は1～8μm間隔とし

(図1では4μm間隔のものを示した。)、ウエハ全面に照射するために、X方向、Y方向にビーム照射領域が重なるようにシフトして照射した。照射エネルギーは、点状の照射領域(シード領域)5に、微結晶が数個発生するように、180mJ/cm<sup>2</sup>に設定した。その後、窒素雰囲気中、600°Cの熱処理により、膜全体を結晶化した。結晶化は、図1(b)のように、照射領域(シード領域)5内の微結晶シリコンを核として結晶成長させ、隣接するシードから成長してきた結晶粒6と接触したときに成長が停止する。以降の工程は、図1(b)の枠12をチャンネル形成領域とし、従来例と同様にして図2にその断面を示すような薄膜トランジスタを作製した。

【0010】本実施例で得られた薄膜トランジスタの移動度とシード間隔との関係を図3に示す。図3から明らかなように、本実施例の方法では、シード間隔3μmから7μmまで移動度が向上し、シード間隔4μm程度で移動度が最大値の140cm<sup>2</sup>/Vsとなっている。シ

ード領域間隔が広すぎると、シード領域から核発生した結晶粒6間に残された非晶質シリコン領域2から核発生した結晶粒のために、大粒径化が妨げられ、移動度の低下をもたらすと考えられる。シード領域間隔の最適値は、シード形成の方法、非晶質シリコンの形成条件、非晶質シリコン膜厚、固相成長条件等にもよるので、それらのプロセス条件の中での最適化が必要である。

【0011】以上述べたように、本実施例で述べた方法では、シード領域を4μm程度の等間隔の格子状に配置することにより、大粒径化が可能であるという特徴がある。また、この方法によれば従来例では必要であった遮光膜堆積、リソグラフィー工程、エッチング工程等の複雑な工程を必要とせず、はるかに簡易な工程で周期的なシード領域を形成できる。また、量子アニール法で問題となる表面荒れは、従来例の選択核形成法と同様に起こらない。

【0012】なお、シード形成のためのアニール工程は、集束電子線、イオンビーム等によるアニール処理を適用してもよい。また、多結晶シリコン膜表面のみをレーザ照射により溶融させる方法を用いると、結晶粒径、配向性を変化させることなく、結晶粒内の結晶欠陥が低減でき、移動度が200cm<sup>2</sup>/Vs程度となり、さらにTFT特性向上が可能である。

【0013】実施例2

本発明を液晶表示装置に用いられる、駆動回路を構成するトランジスタ、及び画素部のスイッチングトランジスタに適用した例を図4を参照して説明する。下地透明基板上の画素部スイッチングトランジスタが形成される領域に、遮光膜を形成し、下地酸化膜を堆積した後に、実施例1と同様の条件で、非晶質シリコン膜を堆積する。その後、周辺駆動回路を構成するトランジスタ及び画素部トランジスタに集束電子線を照射して核形成を行った。駆動回路を構成するトランジスタはゲート長8μm、画素部のトランジスタはゲート長8μm、オフセット長1μmとする。駆動回路トランジスタでは、核間距離は実施例1で述べたように3～7μmに設定し、ソース端部には結晶粒界が存在し、ドレン端部に結晶粒界が存在しない図4(a)の枠12の位置になるように核形成位置を定めた。画素部トランジスタでは、ゲート端部が1つの結晶となる図4(b)の枠16の位置になるように核形成した。核形成は、すべての画素部トランジスタに核形成が行われるように、画素部トランジスタの配置周期50μmで、画素全領域間隔に核形成した。なお、ウエハの位置合わせは、遮光膜の層の目合わせマークを用いて行った。以降の工程は、従来の薄膜トランジスタと同様である。アルミ配線形成後に、プラズマ水素化処理を行った。

【0014】本実施例の駆動回路を構成するトランジスタの出力特性を図5に示す。図中、(a)は従来例によって結晶粒界の位置を制御することなくアニールを行っ

た場合、(b)は本実施例による場合を示す。特性を比較してわかるように、移動度の増加に伴い、オン電流が増加しているだけでなく、ソース、ドレイン間耐圧が向上している。これは、アバランシェ降伏の原因となるドレイン接合部の結晶粒界の密度が低減できたこと、また、ソース接合部の結晶粒界の密度を増やすことにより、キャリアのライフタイムを短くして、寄生バイポーラ効果を低減できたためと考えられる。画素部トランジスタでは、オン電流の増加だけではなく、リーク電流が0.3 pAから本実施例の方法により、0.1 pA以下に低減できた。これは、ドレイン側接合部の結晶粒界の密度が低減できたためと考えられる。

## 【0015】

【発明の効果】以上説明したように、本発明は、非晶質半導体層を結晶化する際に、非晶質半導体層上の特定の周期で局所的に熱処理を施した後に、膜全体に熱処理を施して固相成長を行って形成する方法を用いて、局所的に熱処理した部分からの核発生・核成長を促すことにより、結晶粒が大粒径化でき、薄膜トランジスタの移動度が向上できるという効果がある。結晶粒界の位置を制御する場合は、ソースードレイン間耐圧向上、リーク電流低減の効果も有する。また、従来の選択核形成方法では必要であったリソグラフィー工程、エッチング工程等が必要でなく、工程の簡略化ができるという効果もある。\*

10

## \*【図面の簡単な説明】

【図1】本発明の実施例1の工程説明図である。

【図2】本発明の実施例1によって得られた薄膜トランジスタの断面図である。

【図3】移動度とシード間隔との関係を示す図である。

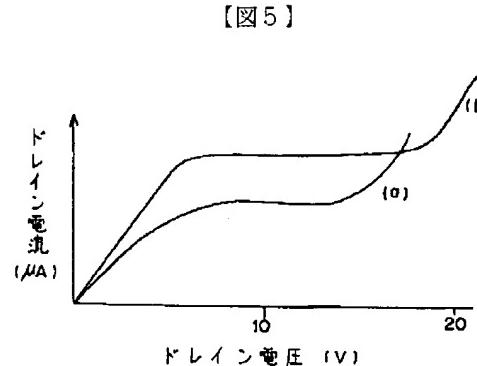
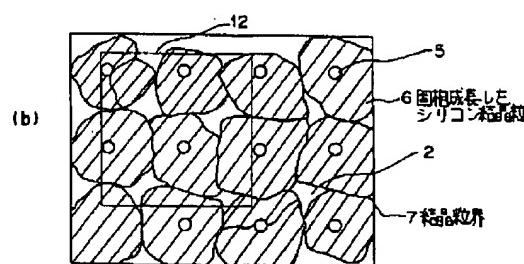
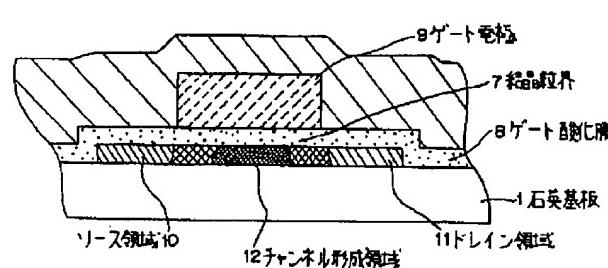
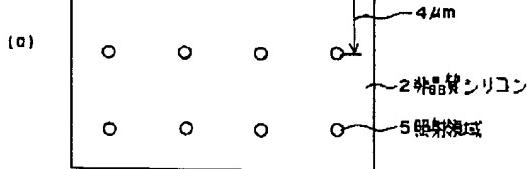
【図4】本発明の実施例2の説明図である。

【図5】実施例2のTFTのトランジスタ特性を従来例と比較して示す図である。

【図6】従来例による選択核形成法を用いた薄膜トランジスタの工程断面図である。

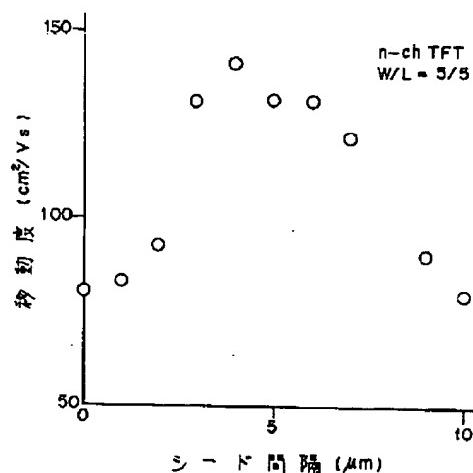
## 【符号の説明】

- 1 絶縁基板（石英基板）
- 2 非晶質シリコン
- 3 保護酸化膜
- 4 シリコン膜
- 5 照射領域（微結晶シリコン核）
- 6 固相成長したシリコン結晶粒
- 7 結晶粒界
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 ソース領域
- 11 ドレイン領域
- 12 チャンネル形成領域
- 13 層間膜

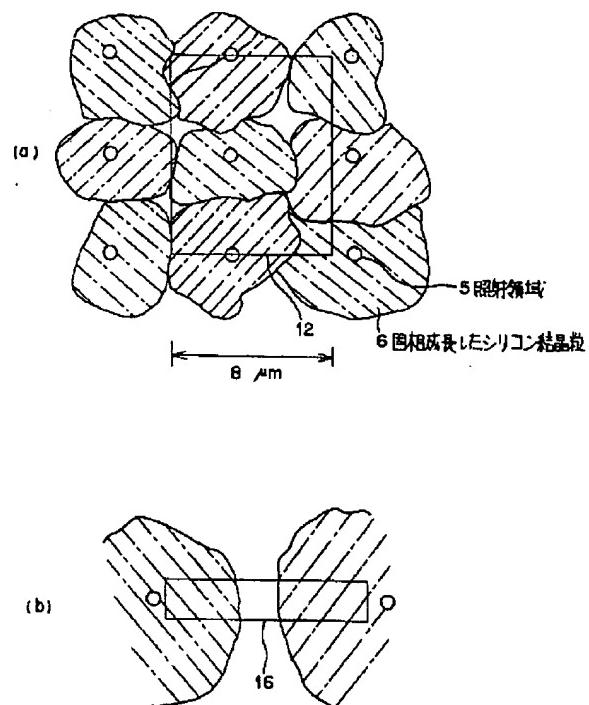


Best Available Copy

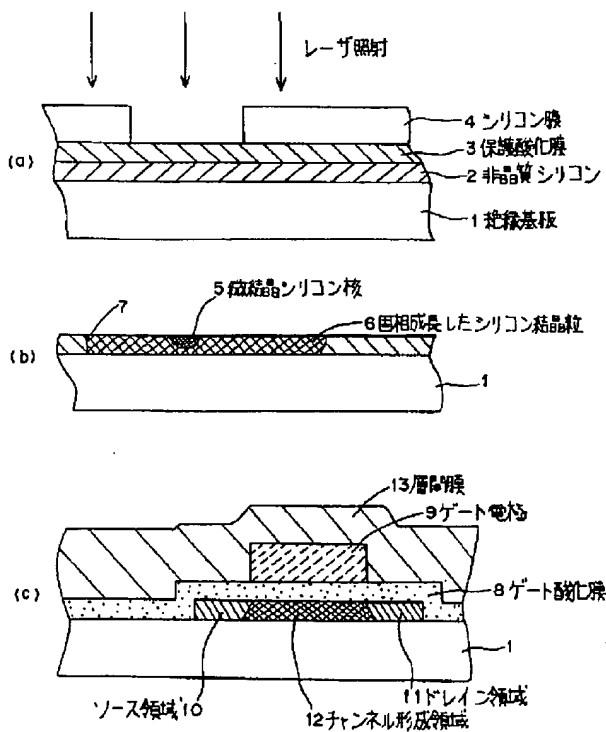
【図3】



【図4】



【図6】



Best Available Copy